

03500.016230



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:	)	
	:	Examiner: Unassigned
SADATOSHI NARAZAKI, ET AL.	)	
	:	Group Art Unit: 2861
Appln. No.: 10/082,182	)	
	:	
Filed: February 26, 2002	)	
	:	
For: INK JET RECORDING APPARATUS	)	May 2, 2002
PROVIDED WITH INTERRUPT	:	
CONTROL CIRCUIT AND METHOD	)	
FOR CONTROLLING RECORDING	:	
APPARATUS	)	

Commissioner for Patents  
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

Sir:

In support of Applicants' claim for priority under 35 U.S.C. § 119, enclosed  
is a certified copy of the following Japanese application:

No. 2001-054917 filed February 28, 2001.

Applicants' undersigned attorney may be reached in our Washington, D.C. office by telephone at (202) 530-1010. All correspondence should continue to be directed to our below-listed address.

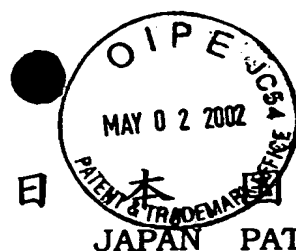
Respectfully submitted,

  
Attorney for Applicants

Registration No. 33,628

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200

MAW\mt



CF016030 US / fu

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 2月28日

出願番号

Application Number:

特願2001-054917

[ST.10/C]:

[JP2001-054917]

出願人

Applicant(s):

キャノン株式会社

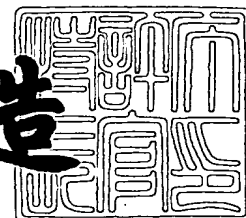
10/082,182

6Au 2861

2002年 3月22日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2002-3019150

【書類名】 特許願

【整理番号】 4380007

【提出日】 平成13年 2月28日

【あて先】 特許庁長官 殿

【国際特許分類】 B41J 2/005

【発明の名称】 割込み制御回路を有するインクジェット記録装置および  
記録装置の制御方法

【請求項の数】 20

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内

【氏名】 榑崎 定利

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内

【氏名】 田中 壮平

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社  
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会  
社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 割込み制御回路を有するインクジェット記録装置および記録装置の制御方法

【特許請求の範囲】

【請求項 1】 動作モードとしてクロックを停止させて消費電力を低下させるモードを含んだ複数のモードを有し、電源スイッチ手段からの信号を N M I 割り込み信号として受け取って N M I 割り込み処理をおこなう C P U を有するインクジェット記録装置において、

電源状態フラグを保存する不揮発性のメモリ手段と、

トリガ信号を出すユーザーロジック回路手段と、

前記トリガ信号をうけて N M I 割り込みマスク信号を生成するマスク信号生成部と、

前記電源スイッチ手段からの信号を前記マスク信号によって無効にするゲート回路と、

前記電源スイッチ手段からの信号の入力により実行される前記 N M I 割り込み処理の際、前記フラグに従った記録装置の動作の始動と、前記フラグの変更と、前記 C P U の動作モード変更と、前記ユーザーロジック回路手段に対して前記動作が完了するまで N M I 割り込みを禁止する設定を行い、前記設定に基づく前記トリガ信号の出力を前記ユーザーロジック回路手段に行なわせ、前記トリガ信号の出力に基づいて前記マスク信号の生成を前記マスク信号生成部に行なわせ、前記電源スイッチ手段からの信号を無効にする制御手段を有することを特徴とするインクジェット記録装置。

【請求項 2】 前記フラグがオンであれば、前記動作として電源オフの動作を行い、前記フラグをオフに変更し、前記 C P U の動作モード変更としてクロックを停止させて消費電力を低下させるモードへ変更することを特徴とする請求項 1 に記載のインクジェット記録装置。

【請求項 3】 前記電源オフの動作は前記インクジェット記録装置に搭載された記録ヘッドを保護するキャッピング動作を含むことを特徴とする請求項 2 に記載のインクジェット記録装置。

【請求項 4】 前記フラグがオフであれば、前記動作として電源オンの動作を行い、前記フラグをオンに変更し、前記 CPU の動作モード変更としてクロックを停止させて消費電力を低下させるモードから変更することを特徴とする請求項 1 に記載のインクジェット記録装置。

【請求項 5】 前記電源オンの動作は前記インクジェット記録装置に搭載された記録ヘッドを回復する回復動作を含むことを特徴とする請求項 4 に記載のインクジェット記録装置。

【請求項 6】 動作モードとしてクロックを停止させて消費電力を低下させるモードを含んだ複数のモードを有し、電源スイッチ手段からの信号を NMI 割り込みとして入力されると NMI 割り込み処理をおこなう CPU を有するインクジェット記録装置において、

異常を検知する異常検知手段と、

トリガ信号を出すユーザーロジック回路手段と、

前記トリガ信号をうけて NMI 割り込みマスク信号を生成するマスク信号生成部と、

前記電源スイッチ手段からの信号を前記マスク信号によって無効にするゲート回路を有し、

前記異常検知手段からの異常信号で、前記ユーザーロジック回路手段に対して前記 NMI 割り込みを禁止する設定を行い、前記設定に基づいて前記トリガ信号を出力させ、前記出力されたトリガ信号に基づいて前記マスク信号生成部から前記ゲート回路へ前記マスク信号を出力させ、電源スイッチ手段からの信号を無効にする制御手段を有することを特徴とするインクジェット記録装置。

【請求項 7】 前記インクジェット記録装置は第 2 の異常検知手段を有し、

前記ゲート回路は、さらに前記第 2 の異常検知手段からの異常信号を論理演算することを特徴とする請求項 6 に記載のインクジェット記録装置。

【請求項 8】 前記異常検知手段は、前記インクジェット記録装置に搭載した記録ヘッドの温度の異常昇温を検知することを特徴とする請求項 6 に記載のインクジェット記録装置。

【請求項 9】 前記第 2 の異常検知手段は、前記インクジェット記録装置に

有する電源の過電圧を検知することを特徴とする請求項7に記載のインクジェット記録装置。

【請求項10】 前記記録ヘッドはインクを吐出するためのエネルギーとして熱エネルギーを発生する電気熱変換体を含む複数の記録素子を有することを特徴とする請求項1、6のいずれかに記載のインクジェット記録装置。

【請求項11】 動作モードとしてクロックを停止させて消費電力を低下させるモードを含んだ複数のモードを有し、電源スイッチ手段からの信号をNMI割り込みとして入力されるとNMI割り込み処理をおこなうCPUを有するインクジェット記録装置の制御方法において、

不揮発性のメモリ手段に電源状態フラグを保存するフラグ保存工程と、

ユーザーロジック回路手段よりトリガ信号を出すトリガ信号出力工程と、

前記トリガ信号をうけてNMI割り込み信号生成部でNMI割り込みのマスク信号を生成するマスク信号生成工程とを有し、

前記電源スイッチ手段からの信号で実行される前記NMI割り込み処理をおこなう場合、前記フラグ保存工程によって保存された前記フラグに従ってプリンターの動作処理をおこない、前記フラグ保存工程によって保存された前記フラグを更新し、前記ユーザーロジック回路への設定に基づき前記トリガ信号出力工程でトリガ信号を出力させ、前記トリガ信号に基づいて前記マスク信号生成工程でマスク信号を生成させ、前記動作処理が終了するまで前記生成されたマスク信号によって前記電源スイッチ手段からの信号を無効にするインクジェット記録装置の制御方法。

【請求項12】 前記フラグがオンであれば、前記動作は電源オフの動作処理であり、前記フラグをオフに変更し、前記CPUの動作モード変更としてクロックを停止させて消費電力を低下させるモードへ変更することを特徴とする請求項11に記載のインクジェット記録装置の制御方法。

【請求項13】 前記電源オフの動作処理は前記インクジェット記録装置に搭載された記録ヘッドを保護するキャッピング処理を含むことを特徴とする請求項12に記載のインクジェット記録装置の制御方法。

【請求項14】 前記フラグがオフであれば、前記動作として電源オンの動



作処理を行い、前記フラグをオンに変更し、前記CPUの動作モード変更としてクロックを停止させて消費電力を低下させるモードから変更することを特徴とする請求項11に記載のインクジェット記録装置の制御方法。

【請求項15】 前記電源オンの動作処理は前記インクジェット記録装置に搭載された記録ヘッドを回復する回復処理を含むことを特徴とする請求項14に記載のインクジェット記録装置の制御方法。

【請求項16】 動作モードとしてクロックを停止させて消費電力を低下させるモードを含んだ複数のモードを有し、電源スイッチ手段からの信号をNMI割り込みとして入力されるとNMI割り込み処理をおこなうCPUを有するインクジェット記録装置の制御方法において、

異常検知手段で異常を検知する異常検知工程と

不揮発性のメモリ手段に電源状態フラグを保存する電源状態フラグ保存工程と

ユーザーロジック回路からトリガ信号を出すトリガ信号出力工程と、

前記トリガ信号をうけてNMI割り込み信号生成部でNMI割り込みのマスク信号を生成するマスク信号生成工程とを有し、

前記異常検知工程で異常を検知して、前記異常に基づき前記トリガ信号出力工程で前記トリガ信号を出力し、前記出力されたトリガ信号に基づき前記マスク信号生成工程で前記マスク信号を生成し、前記生成されたマスク信号に基づき前記電源スイッチ手段からの信号を無効にするインクジェット記録装置の制御方法。

【請求項17】 第2の異常検知手段で異常を検知する第2の異常検知工程を有し、

前記第2の異常検知手段が異常を検知して、異常検知手段から前記ゲート回路へ信号を出すことを特徴とする請求項16に記載のインクジェット記録装置。

【請求項18】 前記異常検知工程は前記インクジェット記録装置に搭載された記録ヘッドの異常昇温を検知することを特徴とする請求項16に記載のインクジェット記録装置の制御方法。

【請求項19】 前記第2の異常検知工程は前記インクジェット記録装置に有する電源の過電圧を検知することを特徴とする請求項17のいずれかに記載の

インクジェット記録装置の制御方法。

【請求項 2 0】 前記記録ヘッドはインクを吐出するためのエネルギーとして熱エネルギーを発生する電気熱変換体を含む複数の記録素子を有する請求項 1、1 6 のいずれかに記載のインクジェット記録装置の制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、インクジェット記録装置について、特にマイクロプロセッサのクロック停止機能を使用した省エネルギーモードと N M I 割り込みをインクジェット記録装置の電源オン／オフの制御のための制御回路および制御方法に関するものである。

【0 0 0 2】

【従来の技術】

近年、携行が容易でバッテリーにより動作可能なノートブックタイプまたはラップトップタイプのポータブルパーソナルコンピュータが種々開発されている。またコンピュータ機器以外においても、低消費電力の機器が多数開発されている。この種の機器では、バッテリーによる駆動時間を出来るだけ長くするため、あるいは、待機状態の消費電力を抑えるために、種々の電力節約のための工夫がされている。

【0 0 0 3】

例えば、CPU の消費電力を少なくするために、CPU の動作速度を遅くして、CPU の消費電流を減らす工夫がなされている。CPU の消費電流は入力クロックの周波数にほぼ比例するので、クロック周波数を落して低い周波数で動作させたり、クロックを完全に停止させれば、消費電流が減少し、結果として消費電力を減らすことが出来る。基本的には、CPU が持つ S T O P クロック機能（以下、S T O P モード）を使用して実現している。その他には、CPU の動作を一時的に停止（以下、H A L T モード）させることにより、ダイナミックな消費電流を減らし、消費電力を減らすことも出来るが、CPU のクロックを低い周波数で動作させたり、クロックを完全に停止させる S T O P モードよりは消費電流を

減らすことは出来ない。

【0004】

図5は、CPUの状態遷移を示す図であり、この図を基に、HALTモードとSTOPモードとの消費電力の点からの大きな相違点を説明する。

【0005】

まず、HALTモード52では、CPUの動作クロックが停止するモードであるが、CPU以外の内蔵周辺回路へのクロック供給は継続され、動作を継続するために、システムのトータルの消費電力を低下させることが出来るが、内蔵周辺回路の消費電流を減らすことが出来ない。

【0006】

しかしながら、CPUそのものの動作は、停止状態となるため通常モード51よりは、消費電流が少なくなることは言うまでもない。

【0007】

一方、STOPモード50では、CPUの動作クロックとともにクロック・ジェネレータを停止させるモードであり、システム全体を停止させるため、CPUおよび内蔵周辺回路も動作を停止する。そのため、STOPモード50では、スタティックな消費電流のみの消費となり、C-MOSプロセスをCPUの製造プロセスに採用すれば、更に消費電流を減らすことが出来る。

【0008】

以上説明したように、HALTモード52とSTOPモード50では、消費電流に大きな差があるため、低消費電力のコンピュータシステムを開発する場合には、STOPモード50を利用する場合が、非常に多くなってきている。

【0009】

前記HALTモード52およびSTOPモード50への動作の切替えは、一般的にソフトウェアの制御により通常モード51からSTOPモード50およびHALTモード52へ移行する。例えば、図5の状態遷移図に示すように、HALT命令の実行によりHALTモード52へ移行し、STOPモード設定用のCPU内部レジスタへのモード設定によりSTOPモード50へ移行する。

【0010】

一度HALTモード52およびSTOPモード50へ移行した場合は、クロックの一部あるいは、全停止のために、外部回路からのReset信号や割り込み信号でのみ通常動作モード51への復帰が可能である。

#### 【0011】

従来、ソフト的に電源制御を行うコンピュータ機器においては、電源制御するためにCPUは常に動作している必要性があり、そのために電源断の状態であってもCPUおよび周辺回路は動作しており、結果として消費電力を小さくすることが出来なかった。そのため、最近では、前記STOPモード50を有するCPUを利用して、STOPモード50にて電源断の状態での消費電力を減らす方法も考案されている。しかしながら、STOPモード50から通常モード51へ復帰させるためには、図5に示すように、NMI信号(Non Maskable Interrupt: マスク不可能割り込み信号)およびReset信号以外で復帰させることが出来ないため、このような方式を採用するためには、図6に示す従来例のように、電源スイッチからの信号を、このトリガ信号として利用する方法が考案されている。

#### 【0012】

図6に於いて、61は、電源ON/OFFを指示する電源スイッチ、62は、抵抗器で、63は、キャパシターで、抵抗器62とRCフィルタを構成し、パワースイッチ61からの雑音信号を除去することが出来る。このRCフィルタの出力信号64は、CPU65のマスク不可能なNMI信号64に接続されている。また66は、システムに必要なすべての電源出力を供給する電源回路であり、67は、CPUがSTOPモードのときに必要最低限の電源を供給する補助電源回路であって、この場合は、CPUのみに電源が供給されている。

#### 【0013】

このような従来例の場合、一般的に安価な機械接点型のタクトスイッチが用いられている。機械接点型のタクトスイッチは、押下している間は、接点が接状態であるスイッチで、接点の接続および切断のときに、構造上瞬間的に接点の跳ね返りが発生しやすく電源スイッチ61の一度の押下であっても、図7に示すように、電源スイッチ61の電源スイッチの接点ON70や電源スイッチの接点OF

F71時に、電氣的にはあたかも数回押下されたような、いわゆるチャタリングが発生し、結果的には、NMI信号64にノイズ信号が発生する。

【0014】

いまCPU65のNMI信号64が、立ち下がリエッジにて割込みの起動がかかるすると、図7に示すように、STOPモード50で、待機中の電源スイッチ61の一回の押下によって、数回のNMIが起動されることになる。また、電源スイッチの接点OFF71の時も同様のチャタリングが発生する。即ちNMI信号64には、72のNMI1、73のNMI2、74のNMI3、75のNMI4、76のNMI5、77のNMI6、78のNMI7、79のNMI8の割込みが連続的にかかり、CPU65は、ソフトウェアにより割り込み禁止処理が出来ない最優先処理割込であるNMI信号64の処理をせざるを得ないため、この最初の72のNMI1にてトリガされてSTOPモード50からの復帰処理をしている間に、更に、次の予期しない73のNMI2から79のNMI8までの同様の処理要求が発生することになり、場合によっては、CPU65が暴走したり、システムが異常動作をしたりしていた。さらには、モータなどのアクチュエータを利用したシステムなどで、復帰時にアクチュエータの初期化をしているときなどに、このような連続的なNMI（72～79）割込みが発生するとアクチュエータの初期化が中断してしまうなどの問題もある。

【0015】

このような状況を防止するために、抵抗・キャパシターなどの素子を用いて、62、63などで構成するRCフィルタなどをNMI信号64に挿入したりしているが、RCフィルタの時定数を種々の場合のノイズに調整することは困難であり、また、機械接点からのノイズの発生の仕方が均一でない可能性があるため、完全に除去することは難しい。

【0016】

また機械接点型のスイッチであるが故に、ユーザーが押下しようと思えば常に押下することが可能であり、前記チャタリングの問題を仮にRCフィルタで解決したとしても、ユーザーが短期間に電源スイッチを連続押下すると、チャタリング発生と同様の状況となり、同様の問題を引起こす可能性が非常に高かった。

## 【0017】

また、装置の消費電力を少なくするための方式として、特開平8-44453号広報にCPUのシステムクロックを停止させる方式が記載されている。この方式の場合、CPUのクロックを停止させるためのトリガ信号であるNMIを発生させる為には、CPUが割込み禁止のゲート回路を解除する必要がある、またソフトウェアの実行時間を確保するための遅延時間を設ける必要がある、CPUの動作と非同期な、例えば電源スイッチキーでNMI信号を発生させて、電力制御を行おうとした場合には、ゲート回路を解除できずNMI信号を発生させることができないという問題があった。

## 【0018】

## 【発明が解決しようとする課題】

前述したように、消費電力を減らすためにCPUのSTOPモード機能を利用したインクジェット記録装置の制御において、STOPモードからの復帰のトリガを電源スイッチにした場合、スイッチに発生するチャタリングのノイズによりマスクできない最優先割込みが多数発生し、最優先割込み処理の多重ネスティングを引起こし、結果として復帰処理を暴走させたり、アクチュエータを搭載したシステムなどでは、アクチュエータの初期化が正常に終了しなくなったりしていた。本来、電源スイッチの一回の押下にて、一回のNMI信号が発生するように期待しているのだが、安価な機械接点型スイッチの場合には、チャタリングは避けられない問題であると同時に、機械式スイッチをユーザーが不用意に押下してしまう可能性がある。

## 【0019】

この状況を回避する手段がないために、STOPモードからの復帰動作中に、再度復帰処理を実行することになったり、場合によっては、ソフトウェアでの電源ON/OFF制御であるがために復帰動作処理中の電源スイッチ割込みは、電源OFFの処理シーケンスを実行して、ユーザーは、電源をONしたにもかかわらずシステムの電源を切断してしまい、再度STOPモードに逆行してしまうこともありえるという課題があった。

## 【0020】

## 【課題を解決するための手段】

上記課題を解決するために、

本発明の記録装置は、動作モードとしてクロックを停止させて消費電力を低下させるモードを含んだ複数のモードを有し、電源スイッチ手段からの信号をNMI割り込み信号として受け取ってNMI割り込み処理をおこなうCPUを有するインクジェット記録装置において、

電源状態フラグを保存する不揮発性のメモリ手段と、トリガ信号を出すユーザーロジック回路手段と、トリガ信号をうけてNMI割り込みマスク信号を生成するマスク信号生成部と、電源スイッチ手段からの信号をマスク信号によって無効にするゲート回路と、

電源スイッチ手段からの信号の入力により実行されるNMI割り込み処理の際、フラグに従った記録装置の動作の始動と、フラグの変更と、CPUの動作モード変更と、ユーザーロジック回路手段に対して動作が完了するまでNMI割り込みを禁止する設定を行い、設定に基づくトリガ信号の出力をユーザーロジック回路手段に行なわせ、トリガ信号の出力に基づいてマスク信号の生成をマスク信号生成部に行なわせ、電源スイッチ手段からの信号を無効にする制御手段を有することを特徴とするインクジェット記録装置である。

## 【0021】

本発明の別の記録装置は、動作モードとしてクロックを停止させて消費電力を低下させるモードを含んだ複数のモードを有し、電源スイッチ手段からの信号をNMI割り込みとして入力されるとNMI割り込み処理をおこなうCPUを有するインクジェット記録装置において、

異常を検知する異常検知手段と、トリガ信号を出すユーザーロジック回路手段と、トリガ信号をうけてNMI割り込みマスク信号を生成するマスク信号生成部と、電源スイッチ手段からの信号をマスク信号によって無効にするゲート回路を有し、

異常検知手段からの異常信号で、ユーザーロジック回路手段に対してNMI割り込みを禁止する設定を行い、設定に基づいてトリガ信号を出力させ、出力されたトリガ信号に基づいてマスク信号生成部からゲート回路へマスク信号を出力さ

せ、電源スイッチ手段からの信号を無効にする制御手段を有することを特徴とするインクジェット記録装置である。

【 0 0 2 2 】

本発明の記録装置の制御方法は、動作モードとしてクロックを停止させて消費電力を低下させるモードを含んだ複数のモードを有し、電源スイッチ手段からの信号をNMI割り込みとして入力されるとNMI割り込み処理をおこなうCPUを有するインクジェット記録装置の制御方法において、

不揮発性のメモリ手段に電源状態フラグを保存するフラグ保存工程と、

ユーザーロジック回路手段よりトリガ信号を出すトリガ信号出力工程と、

トリガ信号をうけてNMI割り込み信号生成部でNMI割り込みのマスク信号を生成するマスク信号生成工程とを有し、

電源スイッチ手段からの信号で実行されるNMI割り込み処理をおこなう場合、フラグ保存工程によって保存されたフラグに従ってプリンターの動作処理をおこない、フラグ保存工程によって保存されたフラグを更新し、ユーザーロジック回路への設定に基づきトリガ信号出力工程でトリガ信号を出力させ、トリガ信号に基づいてマスク信号生成工程でマスク信号を生成させ、動作処理が終了するまで生成されたマスク信号によって電源スイッチ手段からの信号を無効にするインクジェット記録装置の制御方法である。

【 0 0 2 3 】

本発明の記録装置の別の制御方法は、動作モードとしてクロックを停止させて消費電力を低下させるモードを含んだ複数のモードを有し、電源スイッチ手段からの信号をNMI割り込みとして入力されるとNMI割り込み処理をおこなうCPUを有するインクジェット記録装置の制御方法において、

異常検知手段で異常を検知する異常検知工程と

不揮発性のメモリ手段に電源状態フラグを保存する電源状態フラグ保存工程と

ユーザーロジック回路からトリガ信号を出すトリガ信号出力工程と、

トリガ信号をうけてNMI割り込み信号生成部でNMI割り込みのマスク信号を生成するマスク信号生成工程とを有し、



異常検知工程で異常を検知して、異常に基づきトリガ信号出力工程でトリガ信号を出力し、出力されたトリガ信号に基づきマスク信号生成工程でマスク信号を生成し、生成されたマスク信号に基づき電源スイッチ手段からの信号を無効にするインクジェット記録装置の制御方法である。

【 0 0 2 4 】

【発明の実施の形態】

以下では、この発明の実施の形態にかかる割り込み処理方法及び装置を図面を用いて説明する。

【 0 0 2 5 】

図 1 2 は、本発明におけるインクジェット記録装置の斜視図である。

【 0 0 2 6 】

1 0 0 5 は記録ヘッドであり、キャリッジ 1 0 0 4 上に搭載されてシャフト 1 0 0 3 に沿って長手方向に往復運動可能となっている。記録ヘッドより吐出されたインクは、記録ヘッドと微小な間隔をおいて、プラテン 1 0 0 1 に記録面を規制された被記録材 1 0 0 2 に到達し、その上に画像を形成する。

【 0 0 2 7 】

記録ヘッドには、フレキシブルケーブル 1 1 9 を介して画像データに応じて吐出信号が供給される。なお、1 1 1 4 はキャリッジ 1 0 0 4 をシャフト 1 0 0 3 に沿って走査させるためのキャリッジモーターである。1 1 1 3 はモーター 1 1 1 4 の駆動力をキャリッジ 1 0 0 4 に伝達するワイヤである。また、1 1 1 8 はプラテンローラー 1 0 0 1 に結合して被記録材 1 0 0 2 を搬送させるためのフィードモーターである。

【 0 0 2 8 】

<第一の実施例>

図 1 は、本発明の第一の実施例である S T O P モードを利用したインクジェットプリンタの全体ブロック図を示す。

【 0 0 2 9 】

1 は、インクジェットプリンタであり、コントロールユニット 2、プリンタエンジンユニット 3、ヘッドユニット 4、電源ユニット 5 及び A C 電源ケーブル 6

とで構成されている。

【0030】

2は、プリンタエンジン3の制御を司るコントロールユニットであり、STOPモード50を有するCPU200-1とユーザーロジック回路200-2で構成されている。

【0031】

3は、プリンタエンジンユニットであり、ヘッドユニット4及びヘッドユニット4を搭載して印字制御をするためのキャリッジや紙送り機構、キャリッジ位置の検出をするための光学的なCRエンコーダ300、インクジェットのヘッドノズルのインク詰りを防ぐための回復動作を検出するPGセンサ301とヘッドユニット4を搭載するキャリッジとキャリッジを駆動するモータ（以下、CRモータ）302と、紙送りを司るモータ（以下、LFモータ）303、及び自動給紙及びヘッド回復を司るモータ（以下、ASF/PGモータ）304で構成されている。

【0032】

4は、プリンタのヘッドユニットであり、インクジェット方式のプリンタでは、インク中に気泡を発生させてインクを複数のノズルから吐出させるために、インクを瞬間的に加熱する必要がある、そのためにヒーター400が実装され、このヒーター400の温度上昇を監視するためにダイオードの温度特性を利用したダイオードセンサ401がヒーター400の近傍に設けられている。また、ヒーター400の抵抗値が異なると、ヒーター400の発熱量に影響し、均一な気泡を発生させることが出来ず、均一な印字をすることが困難になることが予想されるので、システムとしてヒーター400にて発生する熱量を一定になるように制御する。

【0033】

そのための情報を、例えば、前記したヒーター400の抵抗値などをコントロールユニット2に搭載されている不揮発性RAMであるEEPROM215に記憶しておき、印刷時に、適時システムがこの情報を読取ってヒーター制御に補正をかけて均一な印字が可能ないように制御している。

## 【0034】

5は、電源ユニットであり、本実施例のインクジェットプリンタに必要な3系統のDC出力を生成する電源である。6は、AC電源を入力するためのACケーブルであり、100VAC或は、220VACを電源ユニット5に供給する。前記電源ユニット5では、6からのAC入力からシステムロジック用の5V電圧であるVCC、ヒーター400の駆動用の19V電圧であるVHとCRモータ302、LFモータ303及びASFモータ304駆動用の27V電圧であるVMを出力する。

## 【0035】

200は、CPU200-1とユーザーロジック回路200-2を一つのシリコンチップ上に集積したカスタムICであって、CPU200-1は、STOPモード50の機能を有したマイクロコントローラ、ユーザーロジック200-2は、コンピュータシステムのユーザー周辺回路、不図示であるが、例えば、以下のようなSDRAM208のリードライトコントローラ、割込みコントローラ、アドレス制御回路、汎用ポート、モータ駆動回路219、及び220のモータ制御回路、DMAコントローラなどで構成されている。

## 【0036】

201は、システムの基本クロックを発生させる水晶発振子で、CPU200-1に内蔵されている不図示の発振回路で、48MHzの基本クロックを発振させる。

## 【0037】

202は、本実施例であるところのNMI制御回路であって、電源スイッチ203からの電源のON/OFFの信号を制御し、電源シーケンスを制御するための割込み信号であるNMI信号を制御するNMI制御回路である。このNMI信号により、CPU200-1は、STOPモード50から通常動作モード51への復帰、或いは、通常動作モード51からSTOPモード50への移行を実行する。

## 【0038】

204は、インクジェットプリンタのアクセスカバーの開閉を検知するセンサ

一であり、例えば、インク交換時などにアクセスカバーが開かれたら、プリンタの動作を一時中断して待機状態にさせるためのものである。

## 【0039】

205は、USB I/Fの信号線を制御する回路であり、206のUSB I/Fコネクタに接続される不図示のホストコンピュータからのデータ送信の可否を制御する。例えば、プリンタ1が初期化中であり、ホストコンピュータからのデータを受信する準備が出来ていない状態のとき、CPU200-1の制御の基に、USB信号を強制的にOFFし、ホストコンピュータにUSB機器としてのプリンタ1を認識させないように制御している。

## 【0040】

207は、本システムを制御するためのプログラムやモータの速度を制御するモータ駆動回路219、220等の速度加減速情報などを格納する読み出しのみ可能なRead Only Memory（以下ROM）である。

## 【0041】

208は、読み出し・書込み可能なメモリ（以下RAM）であって、本システムのワークエリア、受信データの展開エリアなどに使用される。

## 【0042】

209は、2色の発光ダイオードであり、電源の通電状態やシステムのエラー表示などに発光色を変えることによって表示する表示器である。

## 【0043】

210は、電源ユニット5から供給される5V電圧を、更に2.5Vと3.3Vに変換する電源回路である。また、電源ユニット5の5V電源の出力をモニターすることによりシステムのリセット信号を発生する機能も併せ持つ。

## 【0044】

211は、ヒーター400の駆動電源を制御する回路であって、CPU200-1の制御の基に印字中のみヘッドユニット4のヒーター400に電圧を印加するように制御される。従って、待機中などでは、ヘッドユニット4へのヘッド駆動電圧VHは、印加されない。

## 【0045】

同様に、212は、ヘッドユニット4の制御用ロジック回路の電源を制御する回路であって、印字中のみ前記ヘッド駆動電圧VHと同様にヘッドユニット4に印加される。

【0046】

214は、増幅回路であって、ヘッドユニット4に搭載されているヒーター400の温度上昇を監視するためのダイオードセンサ401用の増幅器である。

【0047】

215は、不揮発性メモリであって、電源断の状態でも記憶しておきたい情報、例えばインクの消費量などを格納する。

【0048】

216は、光学センサーの電源制御回路であって、消費電力を減らし、かつセンサーの寿命を延ばすために、プリンタ1が待機時には、光学センサーの発光ダイオードの電流を切断する。例えば、本プリンタ1には、前記CRエンコーダー300や、印字用紙切れを検知するPEセンサー217、自動給紙機構の給紙センサー218などが搭載されており、これらのセンサーの発光側ダイオードは、待機時には、電流が切断されている。

【0049】

219、220は、それぞれプリンタエンジンユニット3に搭載されているCRモータ302、LFモータ303及びASF/PGモータ304の駆動回路であって、ユーザーロジックに内蔵されている不図示のモータ制御回路により給紙、排紙、回復等の制御を行う。

【0050】

221は、電源コネクタ、222は、コントロールユニット2とプリンタエンジンユニット3のヘッドユニット4とを接続するフラットケーブルのコネクタ、223～225は、プリンタエンジンユニット3に搭載されている各モータ302～304と接続するためのコネクタである。

【0051】

次に、本実施例の詳細を図2、図3及び図4のフローチャートを用いて動作を説明する。

## 【0052】

図2において、200-1は、CPU、200-2は、ユーザーロジック回路で、前述したように、SDRAM208のリードライトコントローラ、割込みコントローラ、アドレス制御回路、汎用ポート、モータ駆動回路219、及び220のモータ制御回路、DMAコントローラなどで構成されている。20は、CPUのアドレスバスで、ユーザーロジック200-2のアドレスデコード及びチップセレクト回路22に接続されている。202は、NMI制御回路で、CPU200-1のデータバス21と接続されたNMI Maskレジスタ23とゲート回路26で構成されている。アドレスデコード及びチップセレクト回路22からのレジスタセット信号24は、NMI Maskレジスタ23のクロックに接続され、例えばCPU200-1のデータバスのD0信号をサンプリングする。NMI Maskレジスタ23の出力であるNMIマスク25は、ゲート回路26の一つの入力に接続され、電源スイッチ203からの信号を論理制御する。ゲート回路26の出力であるNMI信号27がCPU200-1のNMI入力に接続され、CPU200-1は、論理制御されたNMI信号27をトリガとして、ROM207に格納されているNMI処理プログラムを実行する。28は、電流制限抵抗である。

## 【0053】

図1において、AC入力6が入力されると、電源ユニット5は、各電源出力であるVCC、VH、VMを出力する。しかし、VH、及びVMは、CPU200-1の制御のもと、VH電源制御211、ヘッドロジック電源制御212により各駆動系への電力供給は禁止され、システムロジックの電源であるVCCのみが供給されることになる。

## 【0054】

この時CPU200-1は、ROM207に格納されているプログラムの制御に基づき図4に示すフローに従いプリンタ1を制御する。

## 【0055】

ステップS1で、ワークエリアであるSDRAM208及び一時情報の記憶部である不揮発性メモリのEEPROMを初期化する。この時、プリンタのモータ

系の駆動は実行せず、またパワーLED209も点灯しない。内部的な初期化動作のみを実行することになる。またNMI Maskレジスタ23もリセットされ、NMIマスク25は、0V（以下、Low）の状態になり、負論理積ゲート（ORゲート）であるゲート回路26のゲートが使用可能（以下、イネーブル）になる。即ち電源スイッチ203からの信号の状態遷移を論理的に禁止することなくCPU200-1のNMI入力にNMI信号27を供給できる状態になる。従って、外見上は、動作的に何も起らない状態である。

## 【0056】

ステップS2では、プリンタとして必要な種々のパラメータ、例えばヘッドヒート制御のためのヘッドの抵抗値等プリンタに必要な初期値を記憶しておく。

## 【0057】

ステップS3では、前記初期化動作が終了した後、プログラムの制御のもとに、CPUの動作モードを通常動作モード51からSTOPモード50に移行させる。例えば、CPU内部のクロック制御を司る内部レジスタをプログラムの制御で設定することで、システムクロックの供給を停止させることが出来る。この状態で、電源ON/OFFの待ち状態となる。ここでは、STOPモード50への移行で説明しているが、当然ながら、HALT命令を実行させることで、HALTモード52へ移行させることも可能である。

## 【0058】

次に、この状態で、電源スイッチ203からの信号は、通常電流制限抵抗器28にてロジック電圧、例えば3.3Vにプルアップ（以下、High）されているので、電源スイッチ203が押下されると、図3で示すように、電源スイッチ203の信号が、Lowに遷移すると、ステップ1で説明したように、ゲート回路26がイネーブルの状態になっているため、電源スイッチ203の信号状態変化がゲート回路26を通過して、NMI信号27としてCPU200-1に出力されることになる。

## 【0059】

CPUは、NMI信号27を受付けると、ステップS4へ移行し、NMI処理プログラムの最初のステップにて、これ以降のNMI信号27を受付けないう

にするために、アドレスバス20、データバス21、アドレスデコード及びチップセレクト回路22を介して、NMI Maskレジスタ23をセットする。例えば、図2で、データバス21のデータD0のビットにHigh信号を出力し、NMI Maskレジスタ23がDタイプのフリップフロップである為、図3に示すようにアドレスデコード及びチップセレクト回路22からのレジスタセット信号24の立ち上りエッジにてNMI Maskレジスタ23がLowからHighにセットされることになる。NMI Maskレジスタ23が一度Highにセットされると、NMIマスク25が接続されているORゲート回路26は、禁止（以下、ディセーブル）状態となり、一切の電源スイッチ203の信号を受付けなくする。

## 【0060】

従って、図3に示すように、例えば、電源スイッチ203のスイッチ押下により発生したチャタリングなどにより電源スイッチ203の信号が、2回入力されても1回目のNMI信号27を受付けた後は、プログラムの制御の基に、NMI Maskレジスタ23が、リセットされない限りは一切受付けなくなる。従って、この様なハード的な重複入力や操作ミスによる重複入力によるシステム誤動作を未然に防ぐことが出来る。ここでは、NMI MaskレジスタをDタイプのフリップフロップにて説明しているが、Dタイプのフリップフロップに限らず、ラッチ機能を有するもの、或は、ラッチでなくても、それと同等の機能を有するものであれば良いことは言うまでもない。例えば、JKフリップフロップ、RSラッチ、タイマーなどのカウンタでも良い。

## 【0061】

次に、ステップ5では、電源スイッチ203の押下が、電源OFFの状態での押下であるか、または、電源ONの状態での押下であるかを判別するために、不揮発性ROMであるEEPROM215に記憶されている電源状態フラグ（不図示）をCPU200-1は、読込んでステップ6へ移行する。

## 【0062】

ステップ6では、読込んだ電源状態フラグが、オフ（Low状態）であれば、前述の初期化後の電源スイッチ203の押下であると判断し、ステップS7へ進



む。プリンタ1のシステム復帰処理を実行する。即ち、STOPモード50から通常モード51への移行を実行することになる。ステップS7へ進む。

## 【0063】

また、電源状態フラグがオン（High状態）であれば、電源ONの状態での電源スイッチ203の押下であると判断し、ステップS11へ進み、プリンタ1の電源OFFの処理を実行する。即ち、通常モード51からSTOPモード50への移行を実行する。

## 【0064】

ステップS7のシステムの復帰処理は、例えば、パワーインジケータであるLED209を点灯し、ROM207のサムチェックやワークエリアであるSDRAM208のRAMチェックなどシステムのセルフチェックを実行し、次にCPU200-1がSTOPモード50でのシステム全体のクロック供給中止による情報消失を避けるために不揮発性ROMであるEEPROM215に退避していたプリンタの動作に必要な最小限の情報を、読み出して、ワークエリアであるSDRAM208に復帰させる。

## 【0065】

次に、ステップS8にてプリンタエンジンの初期化を実行する。即ち、ヘッドユニット4を搭載したキャリッジの初期位置への位置移動や紙送り機構など機構系の初期位置へ移動を実施する。また、特にプリンタ1がインクジェットプリンタの場合は、非動作時にインクの乾燥によるインク吐出口の詰りを防止するために、回復動作（吸引動作）をして印字状態に備えるための準備をし、ステップS9へ移行する。

## 【0066】

ステップ9では、今回の電源スイッチ203の押下が、STOPモード50からの通常モード51への移行であるため、EEPROM215に記憶されている電源状態フラグをオフ（Low）からオン（High）にセットし直す。

## 【0067】

ステップ9での電源状態フラグのセットが終了すると、ステップS10にて、データバスD0のビットにLowを出力しステップS4と同様の処理をして、N

MI Maskレジスタ23をリセットし、NMIマスク25をHighからLowにする。NMIマスク25がLowになるとORゲート回路26が再びイネーブル状態となり、これ以降の電源スイッチ203からのスイッチ押下信号を受付けることが可能となる。この状態で、プリンタ1の初期化が終了したことになり、不図示のホストコンピュータからのデータ受信待ちの状態となる。

## 【0068】

次に、ステップS6からステップS11へと移行した場合の説明をする。

## 【0069】

ステップ11では、プリンタの電源をOFFするためのプリンタエンジン3のSTOPモード50への移行処理を実行する。プリンタ1が印字の途中などであった場合は、印字の中止及びそれに伴う印字中の用紙の排紙をする。また、キャリッジの初期位置への移動などの制御をする。さらに、キャリッジの初期位置で、プリントヘッドユニット4を完全に蓋をして、ロックする（キャッピング動作をする）。

## 【0070】

プリンタ1がインクジェット方式の場合、プリントヘッドユニット4のインク吐出口（不図示）の乾燥による目詰りを防ぐためである。この処理を実行しないで不用意にキャリッジを止めてしまい、電源OFF処理を終了してしまうと乾燥による目詰りを起こす。また、キャリッジの不必要な移動によりヘッドユニット4を損傷してしまう。

## 【0071】

ステップS12では、プリンタエンジン3の移行処理終了後にシステムとしての移行のために、ワークエリアで使用中の情報の中で、次回電源ON時に必要な最小限の情報を不揮発性メモリであるEEPROM215に退避させる。

## 【0072】

ステップS13では、この電源スイッチ203の押下が、通常モード51からSTOPモード50への移行であるため、EEPROM215に記憶されている電源状態フラグをオン（High）からオフ（Low）にセットする。

## 【0073】

ステップ S 1 4 では、ステップ S 1 0 と同様の処理をし、N M I M a s k レジスタ 2 3 をリセットし、N M I マスク 2 5 を H i g h から L o w にする。N M I マスク 2 5 が L o w になると O R ゲート回路 2 6 が再びイネーブル状態となり、これ以降の電源スイッチ 2 0 3 からのスイッチ押下信号を受付けることが可能となる。

## 【 0 0 7 4 】

ステップ 1 5 で、C P U 2 0 0 - 1 は、R O M 2 0 7 に格納されているプログラムの制御もの基に、パワーインジケータである L E D 2 0 9 を消灯し、C P U の動作モードを通常動作モード 5 1 から S T O P モード 5 0 に移行させる。例えば、C P U 内部のクロック制御を司る内部レジスタをプログラムの制御で設定することで、システムクロックの供給を停止させる。この状態で、電源 O F F の待ち状態となる。ここでは、S T O P モード 5 0 への移行で説明しているが、当然ながら、H A L T 命令を実行させることで、H A L T モード 5 2 へ移行させることも可能である。

## 【 0 0 7 5 】

以上説明してきたように、本実施例の場合、システムの消費電力を少なくするために C P U の S T O P モードや H A L T モードを利用するシステムで、S T O P モード及び H A L T モードからの復帰手段である C P U の最優先処理割込みであり、又割込み禁止に出来ない割込である N M I 信号を、電源の O N / O F F 制御に利用する場合に、任意に割込み禁止とすることができる。

## 【 0 0 7 6 】

また N M I 端子にチャタリングなどの発生する可能性のある安価な機械式接点のスイッチを接続しても確実に一度の N M I 信号しか受付けないようにすることも可能であり、またプログラムの処理上、最優先割込みである N M I を受付けたくないときに任意に割込み禁止とすることも可能となる。

## 【 0 0 7 7 】

更には、N M I の割込み禁止期間が、プログラムで制御可能であり禁止期間の設定条件次第では、例えば、禁止期間を数 1 0 0 m S の期間に設定すれば、単なるチャタリング防止機能にすることも出来るし、また特定のプログラムの処理の

最初のステップと最後のステップでNMI Maskレジスタを設定するようにすれば、特定のプログラムの動作保証を確実にこなせることになるという利点もある。

## 【0078】

また、不揮発性メモリであるEEPROMに電源状態フラグのようにプリンターのオン／オフ情報を保存し、電源スイッチが投入された時、データを参照することで、プリンターのオン／オフの動作制御を確実にこなせることが出来る。

## 【0079】

## ＜第二の実施例＞

第一の実施例では、Dタイプのフリップフロップで説明したが、図8は、タイマー回路を用いて、所定の時間のみNMI Maskをするようにしたものである。

## 【0080】

図8において、81は、タイマーカウンタ83の時間計測用の基本クロックであり、図1で示す水晶発振子201にて、CPU200-1に内蔵されている不図示の発振回路で発振させる48MHzのシステムクロックである。

## 【0081】

計数するシステムクロック81の周波数とタイマーカウンタの計数の関係で、所定の時間が決まり、また、低い周波数のクロックを有するシステムの場合、更に長時間の設定が可能となるのは言うまでもない。

## 【0082】

82は、タイマーカウンタ83の計数開始を制御するタイマーリセット信号である。83は、クロックをカウントすることで時間を計数するプリセット機能を有するダウンカウンタである。アップカウンタや他のカウンタであってもクロックを計数してタイマーとして機能するものであれば、どのような回路構成でも良い。

## 【0083】

ここでは、図2の第一の実施例と異なる部分の動作を図8に基づき説明する。

## 【0084】

電源ユニット5のAC入力により、システムの電源であるVccが供給開始されると電源リセットIC210のリセット信号85にて、タイマーカウンタ83の出力Q1-Q8は、すべてLowにリセットされる。この時、NMIのマスクゲートであるゲート回路26は、イネーブル状態になり電源スイッチ203の入力を受付けられることになる。一方、クロックゲート84のNMIマスク25がLowであるために、クロックゲート84の出力は、Highに固定されて、クロックゲート84の他入力であるクロック81は、無視されることになりタイマーカウンタ83の計数は、停止して状態である。

## 【0085】

次に、第一の実施例での動作説明で説明したように、電源スイッチ203の押下によりCPU200-1がNMI信号27を受付けるとプログラムの制御の基に、NMI処理プログラムの最初のステップにてユーザーロジック200-2からタイマープリセット82が出力される。

## 【0086】

このタイマープリセット82にて、タイマーカウンタ83のすべてのプリセット入力値D1-D8がHighにセットしてあるため、タイマーカウンタ83の出力Q1-Q8は、すべてHigh (FFFF) にプリセットされる。

## 【0087】

プリセットと同時に、タイマーカウンタ83の出力Q8、即ちNMIマスク25がHighになるため、ゲート回路26はディセーブルとなり、これ以降の電源スイッチ203の押下を受付けない。またクロックゲート84は、逆にイネーブル状態となりクロック81のクロック信号を出力することになり、タイマーカウンタ83がクロック81の入力に従ってカウントダウンを開始することになる。

## 【0088】

タイマーカウンタ83の出力であるQ8がLowになるまで、カウントダウンを続け、この時点でカウントをストップすることになる。カウントをストップした時点で、ゲート回路26がイネーブル状態となり再び電源スイッチ203の押下を受付けることが可能となる。本説明では、プリセット値をすべてHighで

説明しているが、CPU 2 0 0 - 1 から任意の値を設定できるようにすれば、任意に所定時間を設定できるようにもなる。

## 【 0 0 8 9 】

以上説明したように、NMI 処理プログラムの最初のステップで、一度だけタイマーカウンタ 8 3 にカウント開始のトリガを出力するのみで所定の時間 NMI 信号を Mask することが可能であり、またマスク時間に関してもカウントするクロックの周波数とカウンタのカウント数を可変可能な構成にすれば、任意に設定可能とすることもでき、プログラムで常に制御する必要もない。

## 【 0 0 9 0 】

つまり、第一の実施例では、NMI Mask の開始と終了を CPU 2 0 0 - 1 の制御の基に、プログラム制御していたが、第二の実施例では、NMI Mask の開始のみプログラム制御すればよく、ソフトウェアの負荷を減らすことが可能であり、一度タイマーのトリガを掛けると、ハード的に時間を所定期間計数して NMI Mask を解除するようにしたものである。タイマー回路としては、クロックを計数するカウンタ方式や抵抗及びコンデンサの時定数回路による遅延回路或は、単安定マルチバイブレータでも良い。

## 【 0 0 9 1 】

## &lt; 第三の実施例 &gt;

次に、図 9 について説明する。第一及び第二の実施例は、NMI を利用した低消費電力のシステムを構築する例であって、NMI マスク 2 5 のみで電源スイッチ 2 0 3 の信号を制御しているが、図 9 の第三の実施例は、図 1 において、電源ユニット 5 が不具合を起し、プリンタ 1 の機構系の駆動電圧 VM、VH などが異常になった場合に電源スイッチ 2 0 3 を押下してプリンタ 1 を起動させるとモータ 3 0 2、3 0 3、3 0 4 に異常電流が流れてモータ 3 0 2、3 0 3、3 0 4 及びモータドライバー回路 2 1 9、2 2 0 を破壊することを防止する機能を付加したものである。またプリンタ 1 がインクジェットの場合は、前述したように、ヘッドユニット 4 には、ヒーター 4 0 0 が搭載され、またこのヒーター 4 0 0 の温度管理のためにセンサー 4 0 1 が搭載されている。VH 電源制御 2 1 1 の不具合などが原因でこのヒーター 4 0 0 が異常発熱した場合でも、ヒーターセンサ 4 0

1からの情報をCPU200-1が判断し、NMI制御回路202のゲート回路の制御をすることで、ヒーター400の温度が所定の値に下がるまでは、電源の再投入を禁止するようにしたものである。

## 【0092】

図9は、第三の実施例の詳細図であり、90は、電源ユニット5の電源出力である直流電源出力の異常、例えば、過電圧出力などを検出する電源異常検出回路であり、所定の基準電圧と電源ユニット5の出力を比較することで電源の異常を検出するように構成されている。例えば、正常時には、High出力を出力し、異常時には、Lowを出力する。一般的には、電圧比較器などの集積回路(IC)が用いられている。

## 【0093】

91は、図1におけるヘッドユニット4に搭載されているHeater400の温度を検出するDiode Sensor401と増幅器214で構成されるヘッド昇温検出回路である。CPU200-1が、ヘッド昇温検出回路からの出力を入力回路を介して読取ることによりヘッドの温度を調べることが出来る。温度の検出方法としては、センサーからリニアな値をアナログ-デジタル変換してCPU200-1へ入力するようにしても良いし、所定温度との比較による検出であっても良い。

## 【0094】

92は、3入力の論理ゲート(ORゲート)回路で、電源スイッチ203と電源異常検出回路90とNMI Maskレジスタ23からの出力を論理演算し、NMI信号27を制御する。

## 【0095】

図2の第一の実施例と異なる部分の動作を図9に基づき説明する。

## 【0096】

第一の実施例と同様に、図9において、AC入力6が入力されると、電源ユニット5は、各電源出力であるVCC、VH、VMを出力する。しかし、VH、及びVMは、CPU200-1の制御のもとVH電源制御211、ヘッドロジック電源制御212により各駆動系への電力供給は禁止され、システムロジックの電

源であるVCCのみが供給されることになる。

【0097】

この時CPU200-1は、ROM207に格納されているプログラムの制御に基づき図4に示すフローに従いプリンタ1を制御する。

【0098】

ステップS1で、ワークエリアであるSDRAM208及び一時情報の記憶部である不揮発性メモリのEEPROMを初期化する。この時、プリンタのモータ系の駆動は実行せず、またパワーLED209も点灯しない。内部的な初期化動作のみを実行することになる。またNMI Maskレジスタ23もリセットされ、NMIマスク25は、0V（以下、Low）の状態になり、負論理積ゲート（ORゲート）であるゲート回路26のゲートが使用可能（以下、イネーブル）になる。即ち電源スイッチ203からの信号の状態遷移を論理的に禁止することなくCPU200-1のNMI入力にNMI信号27を供給できる状態になる。従って、外見上は、動作的に何も起らない状態である。

【0099】

ステップS2では、プリンタとして必要な種々のパラメータ、例えばヘッドヒート制御のためのヘッドの抵抗値等プリンタに必要な初期値を記憶しておく。

【0100】

ステップS3では、前記初期化動作が終了した後、プログラムの制御もの基に、CPUの動作モードを通常動作モード51からSTOPモード50に移行させる。例えば、CPU内部のクロック制御を司る内部レジスタをプログラムの制御で設定することで、システムクロックの供給を停止させることが出来る。この状態で、電源ON/OFFの待ち状態となる。ここでは、STOPモード50への移行で説明しているが、当然ながら、HALT命令を実行させることで、HALTモード52へ移行させることも可能である。

【0101】

この時、前記電源異常検出回路90が異常電圧を検出していなければ、即ちLowを出力しゲート回路92がイネーブル状態となっていれば、電源スイッチ203が押下された時には、ゲート回路92は、NMI信号27を出力することに



なる。CPU 2 0 0 - 1 は、このNMI 信号 2 7 を受付けた後に、第一の実施例と同様にNMI 処理の最初のステップにてNMI M a s k レジスタをセットして、ゲート回路 9 2 をディセーブルして、これ以降の電源スイッチ 2 0 3 の信号を受け付けなくなる。

#### 【0 1 0 2】

また、逆に前記電源異常検出回路 9 0 が異常電圧を検出していれば、即ちH i g h を出力しゲート回路 9 2 がディセーブル状態になっていれば、電源スイッチ 2 0 3 が押下されてもNMI M a s k レジスタ 2 3 の状態に係わらずゲート回路 9 2 がディセーブルされるために、ゲート回路 9 2 はNMI 信号を出力することはない。即ち電源スイッチ 2 0 3 を押下しても電源は入らないようになる。電源異常検出回路 9 0 の検出結果が正常となるまでは、ゲート回路 9 2 は、イネーブルとならず電源が入ることはないのである。

#### 【0.1 0 3】

一方、記録ヘッドの温度上昇をヘッド昇温検出回路 9 1 を介してCPU 2 0 0 - 1 が調べ、異常昇温を検出した時には、ユーザーロジック回路 2 0 0 - 2 を介してNMI M a s k レジスタ 2 3 をセットし、ゲート回路 9 2 をディセーブル状態にし電源スイッチ 2 0 3 の押下を禁止するように機能する。

#### 【0 1 0 4】

以上説明したように、第三の実施形態をとれば、電源スイッチ 2 0 3 の押下を電源異常検出回路 9 0、及びヘッド昇温検出回路 9 1 の出力と論理演算をとり、電源ONのトリガ信号であるNMI 信号 2 7 をM a s k することで、第1の実施例で述べた電源スイッチ 2 0 3 のマスク機能、チャタリング取りとして機能し、さらに、電源の異常を検知して、電源の投入を禁止することで機器の破損を防ぐ機能をする。また、記録ヘッドの昇温を検知して、電源の投入を禁止して記録ヘッドを保護することが出来る。

#### 【0 1 0 5】

#### <第四の実施例>

図 1 0 に於いて、第一の実施例と異なる点は、電源スイッチ 2 0 3 の押下状態をCPU 2 0 0 - 1 の汎用ポートを介して、NMI マスクが有効なときでも、常

にスイッチ信号41を確認できるようにしたものである。即ち、CPU200-1は、ROM207に格納されているプログラムの制御に基づき、電源スイッチ203の押下をNMI信号27として受け付けたり、或いは、単にNMIのマスク状態に関係なくスイッチ信号41として読みとることが出来る。

## 【0106】

ここで、図11に示すフローチャートに基づき第四の実施例の動作の詳細を説明する。

## 【0107】

まず、ステップS111で、ワークエリアであるSDRAM208及び一時情報の記憶部である不揮発性メモリのEEPROMを初期化する。この時、プリンタのモータ系の駆動は実行せず、またパワーLED209も点灯しない。内部的な初期化動作のみを実行することになる。

## 【0108】

ステップS112では、NMI Maskレジスタ23をリセットし、NMIマスク25は、0V（以下、Low）の状態になり、負論理積（ORゲート）であるゲート回路26のゲートが使用可能（以下、イネーブル）になる。即ち、電源スイッチ203からの信号の状態遷移を論理的に禁止することなくCPU200-1のNMI入力にNMI信号27を供給できる状態になる。従って、外見上は、動作的に何も起らない状態である。

## 【0109】

ステップS113では、前記初期化動作が終了した後、プログラムの制御ものに、CPUの動作モードを通常動作モード51からSTOPモード50に移行させる。例えば、CPU内部のクロック制御を司る内部レジスタをプログラムの制御で設定することで、システムクロックの供給を停止させることが出来る。この状態で、電源ON/OFFの待ち状態となる。ここでは、STOPモード50への移行で説明しているが、当然ながら、HALT命令を実行させることで、HALTモード52へ移行させることも可能である。

## 【0110】

次に、この状態で、電源スイッチ203からの信号は、通常電流制限抵抗器2

8にてロジック電圧、例えば3.3Vにプルアップ（以下、High）されているので、電源スイッチ203が押下されると、図3で示すように、電源スイッチ203の信号が、Lowに遷移すると、ステップS112で説明したように、ゲート回路26がイネーブルの状態になっているため、電源スイッチ203の信号状態変化がゲート回路203を通過して、NMI信号27としてCPU200-1に出力されることになる。

## 【0111】

まず電源オンの制御について動作を説明する。

## 【0112】

CPUは、NMI信号27を受付けると、ステップS114へ移行し、NMI処理プログラムとしては、何の処理もせずにリターンの処理をして終了する。ここでは、STOPモード50からシステムを起こすためのトリガーの役目をするだけである。

## 【0113】

従って、システムは、前記トリガーによってSTOPモード50からの復帰処理を実行して動作可能な状態を設定する。即ち、STOPモード50への移行直前のCPU200-1の内部レジスタ（不図示）、ステータスや内部RAM（不図示）の状態に戻した後、ステップS115へ進む。但しこのステップでは、ノイズなどによる誤動作も考えられるので、CPU200-1周辺の復帰のみでありプリンタ1のシステムとしては、動作しない。

## 【0114】

次に、ステップS115で、本実施例の特徴であるところのNMIを発生させた電源スイッチ203のスイッチ押下状態をCPU200-1の汎用ポートであるPort0を介して読み取る。

## 【0115】

本実施例では、読み取ったポートのスイッチ信号41のチャタリング防止の目的で、ステップS116にて、連続してスイッチ信号41が0V、即ち論理的にポートがオン（Low）であれば、電源スイッチ203が押下（電源がON）されたと判断する。

## 【 0 1 1 6 】

ステップ S 1 1 8 において、これ以降の N M I 信号 2 7 を受付けないように、第一の実施例と同様の手順にて、アドレスバス 2 0、データバス 2 1、アドレスデコード及びチップセレクト回路 2 2 を介して、N M I M a s k レジスタ 2 3 をセットして電源スイッチ 2 0 3 をマスクする。これ以降、この N M I マスク 2 3 は、電源スイッチ 2 0 3 の押下による電源オフ制御のなかで S T O P モード 5 0 へ移行する直前までクリアされることはない。

## 【 0 1 1 7 】

次に、ステップ S 1 1 9 では、システムの復帰処理、例えば、パワーインジケータである L E D 2 0 9 を点灯し、ROM 2 0 7 のサムチェックやワークエリアである S D R A M 2 0 8 の R A M チェックなどシステムのセルフチェックを実行し、次に C P U 2 0 0 - 1 が S T O P モード 5 0 でのシステム全体のクロック供給中止による情報消失を避けるために不揮発性 R O M である E E P R O M 2 1 5 に退避していたプリンタの動作に必要な最小限の情報を、読み出してワークエリアである S D R A M 2 0 8 に復帰させる。又同様に、プリンタエンジンの初期化を実行する。即ち、ヘッドユニット 4 を搭載したキャリッジの初期位置への移動や紙送り機構など機構系の初期位置への移動を実施し、また、特にプリンタ 1 がインクジェットプリンタの場合は、非動作時にインクの乾燥によるインク吐出口の詰りを防止するために、回復動作（吸引動作）をして印字状態に備えるための準備をし、不図示のホストコンピュータからの印刷指示待ちの状態待機することになる。

## 【 0 1 1 8 】

又、ステップ S 1 1 6 にて、通常モード 5 1 への復帰のトリガーとしての N M I 信号 2 7 を受け付けても、確実に電源スイッチ 2 0 3 が押下されていないと、本実施例では、3 回連続で電源スイッチ 2 0 3 が押下されていないと間違った信号、例えばノイズであると見なし、ステップ S 1 1 7 で、再度 S T O P モード 5 0 へ再移行し、外見上は何も起こらないようにしている。

## 【 0 1 1 9 】

次に電源オフの制御について説明する。

## 【0120】

前記説明のように、一度システムが起動すれば、プリンタ1の動作は通常モード51となり、NMI信号27は、ゲート回路26にてマスクされているため、電源スイッチ203を押下しても、二度と発生しない。この状態では、電源オフのための制御は、ROM207に格納されているプログラムの制御の基、CPU200-1に内蔵されているタイマー（不図示）の割り込み処理によるイベント管理によって実行される様になっている。

## 【0121】

つまり、印字待機中にもタイマーイベントは周期的に発生しており、例えば、10mS毎に発生するタイマーイベントをプログラムの制御に従い実行することになる。

## 【0122】

今、タイマーイベントとして割り込みが発生すると、ステップS120及びステップS121では、ステップS115とステップS116と同様の処理を実行し、CPU200-1の汎用ポートからのスイッチ信号41が確実にLowとなっているかをチェックする。

## 【0123】

ここでは、3回連続してポートがオン（Low）であるかをチェックし、連続3回であれば、ステップS122へ進み電源オフの制御を実行することになる。一方、ポートから読み取ったスイッチ信号41がHighであれば、電源スイッチ203の押下は、発生していないと判断し、何の処理も実行することなく割り込み処理を終了する。

## 【0124】

ステップS122では、プリンタの電源をOFFするためのプリンタエンジン3のSTOPモード50への移行処理を実行する。プリンタ1が印字の途中などであった場合は、印字の中止及びそれに伴う印字中の用紙の排紙をする。

## 【0125】

また、キャリッジの初期位置への移動などの制御をする。さらに、キャリッジの初期位置で、プリントヘッドユニット4を完全に蓋をして、ロックする（キャ

ッピング動作をする)。

【 0 1 2 6 】

プリンタ 1 がインクジェット方式の場合、プリントヘッドユニット 4 のインク吐出口 (不図示) の乾燥による目詰りを防ぐためである。この処理を実行しないで不用意にキャリッジを止めてしまい、電源 OFF 処理を終了してしまうと乾燥による目詰りを起こす。また、キャリッジの不必要な移動によりヘッドユニット 4 を損傷してしまう。

【 0 1 2 7 】

ステップ S 1 2 3 では、プリンタエンジン 3 の移行処理終了後にシステムとしての移行のために、ワークエリアで使用中の情報の中で、次回電源 ON 時に必要な最小限の情報を不揮発性 ROM である EEPROM 2 1 5 に退避させる。

【 0 1 2 8 】

ステップ S 1 2 4 では、NMI Mask レジスタ 2 3 をリセットし、NMI マスク 2 5 を High から Low にする。NMI マスク 2 5 が Low になるとゲート回路 2 6 が再びイネーブル状態となり、これ以降の電源スイッチ 2 0 3 からのスイッチ押下信号を受付けることが可能となる。

【 0 1 2 9 】

ステップ S 1 2 5 で、CPU 2 0 0 - 1 は、ROM 2 0 7 に格納されているプログラムの制御をもとに、パワーインジケータである LED 2 0 9 を消灯し、CPU の動作モードを通常動作モード 5 1 から STOP モード 5 0 に移行させる。例えば、CPU 内部のクロック制御を司る内部レジスタをプログラムの制御で設定することで、システムクロックの供給を停止させる。この状態で、電源 OFF の待ち状態となる。ここでは、STOP モード 5 0 への移行で説明しているが、当然ながら、HALT 命令を実行させることで、HALT モード 5 2 へ移行させることも可能である。

【 0 1 3 0 】

第四の実施例では、電源スイッチ 2 0 3 からの信号 (NMI 信号) を STOP モード 5 0 からの起動、所謂 Wake-Up 信号としてのみ使用し、NMI 処理は、何も実行せず、汎用ポートから電源スイッチ 2 0 3 の状態を監視することに

より第一の実施例のように電源の状態を記憶しておく必要がない利点がある。又 N M I の割り込みにて起動したシステムでは、マスクをした状態のままであり、動作中にノイズなどの影響で N M I が起動することもない。

【 0 1 3 1 】

第四の実施例は、第二、第三の実施例にも同様に適用できるのは、言うまでもないことである。

【 0 1 3 2 】

以上、各実施例において、回復動作として吸引動作を例に挙げたが、インクを吐出する予備吐出動作、ヘッドのノズル面のインクを取り除くワイピング動作であっても構わない。また、これらの動作の組み合わせであっても構わない。

【 0 1 3 3 】

また、保護動作としてキャッピング動作を例に挙げたがこれらの動作の前に、上述した回復動作をおこなっても構わない。

【 0 1 3 4 】

また、ゲート回路としては O R ゲート回路に限らず A N D ゲート回路など信号をゲートできる構成であれば構わない。

【 0 1 3 5 】

【発明の効果】

システムの消費電力を少なくするために C P U の S T O P モードや H A L T モードを利用するシステムで、 S T O P モード及び H A L T モードからの復帰手段である C P U の N M I 信号を、電源のオン／オフ制御に利用する場合に、 N M I 端子にチャタリングが発生しても確実に N M I 信号を受付けて電源のオン／オフ制御が実現できる。

【図面の簡単な説明】

【図 1】

第一の実施例 1 の全体ブロック図を示す。

【図 2】

第一の実施例の詳細図を示す。

【図 3】

第一の実施例のNMI信号発生を示す。

【図4】

第一の実施例のNMIシーケンスを示す。

【図5】

CPUのパワーセーブモード状態遷移図を示す。

【図6】

従来の実施例を示す。

【図7】

従来の実施例のNMI信号発生を示す図。

【図8】

第二の実施例の詳細ブロック図を示す。

【図9】

第三の実施例の詳細ブロック図を示す。

【図10】

第四の実施例の詳細図を示す。

【図11】

第四の実施例のNMIシーケンスを示す。

【図12】

本発明の主要な部分の構成を示す斜視図を示す。

【符号の説明】

- 1 インクジェットプリンタ
- 2 コントロールユニット
- 3 プリンタエンジンユニット
- 4 ヘッドユニット
- 5 電源ユニット
- 6 AC電源ケーブル
- 20 アドレスバス
- 21 データバス
- 22 アドレスでコード及びチップセレクト回路



- 23 NMI Maskレジスタ
- 24 レジスタセット信号
- 25 NMIマスク
- 26 ゲート回路
- 27 NMI信号
- 28 電流制限抵抗
- 29 NMI処理
- 41 スイッチ信号
- 50 STOPモード
- 51 通常動作モード
- 52 HALTモード
- 61 電源スイッチ
- 62 抵抗器
- 63 キャパシター
- 64 NMI信号
- 65 CPU及び制御回路
- 66 主電源回路
- 67 補助電源回路
- 70 電源スイッチの接点ON
- 71 電源スイッチの接点OFF
- 72 NMI1
- 73 NMI2
- 74 NMI3
- 75 NMI4
- 76 NMI5
- 77 NMI6
- 78 NMI7
- 79 NMI8
- 81 クロック

- 82 タイマープリセット
- 83 タイマーカウンタ
- 84 クロックゲート
- 85 Reset
- 90 電源異常検出回路
- 91 ヘッド昇温検出回路
- 92 ゲート回路
- 200 カスタムIC
- 200-1 マイクロコントローラ
- 200-2 ユーザーロジック回路
- 201 水晶発振子
- 202 NMI制御回路
- 203 電源スイッチ
- 204 アクセスカバースエンサー
- 205 USB I/F制御
- 206 USB I/Fコネクタ
- 207 Read Only Memory (ROM)
- 208 RAM
- 209 発光ダイオード
- 210 電源回路
- 211 ヒーター電源制御回路
- 212 ヘッドロジック電源制御回路
- 213 温度センサー
- 214 増幅回路
- 215 不揮発性メモリ
- 216 センサー電源制御回路
- 217 PEセンサー
- 218 給紙センサー
- 219 CRモータドライバ

220 ASF/PGモータドライバ

221 電源コネクタ

222 フラットケーブルコネクタ

223 コネクタ

224 コネクタ

225 コネクタ

300 CRエンコーダ

301 PGセンサ

302 CRモータ

303 紙送りモータ

304 ASF/PGモータ

400 ヒーター

401 ダイオードセンサ

1001 プラテン

1002 被記録材

1003 ガイドシャフト

1004 キャリッジ

1005 記録ヘッド

1113 駆動ワイヤ

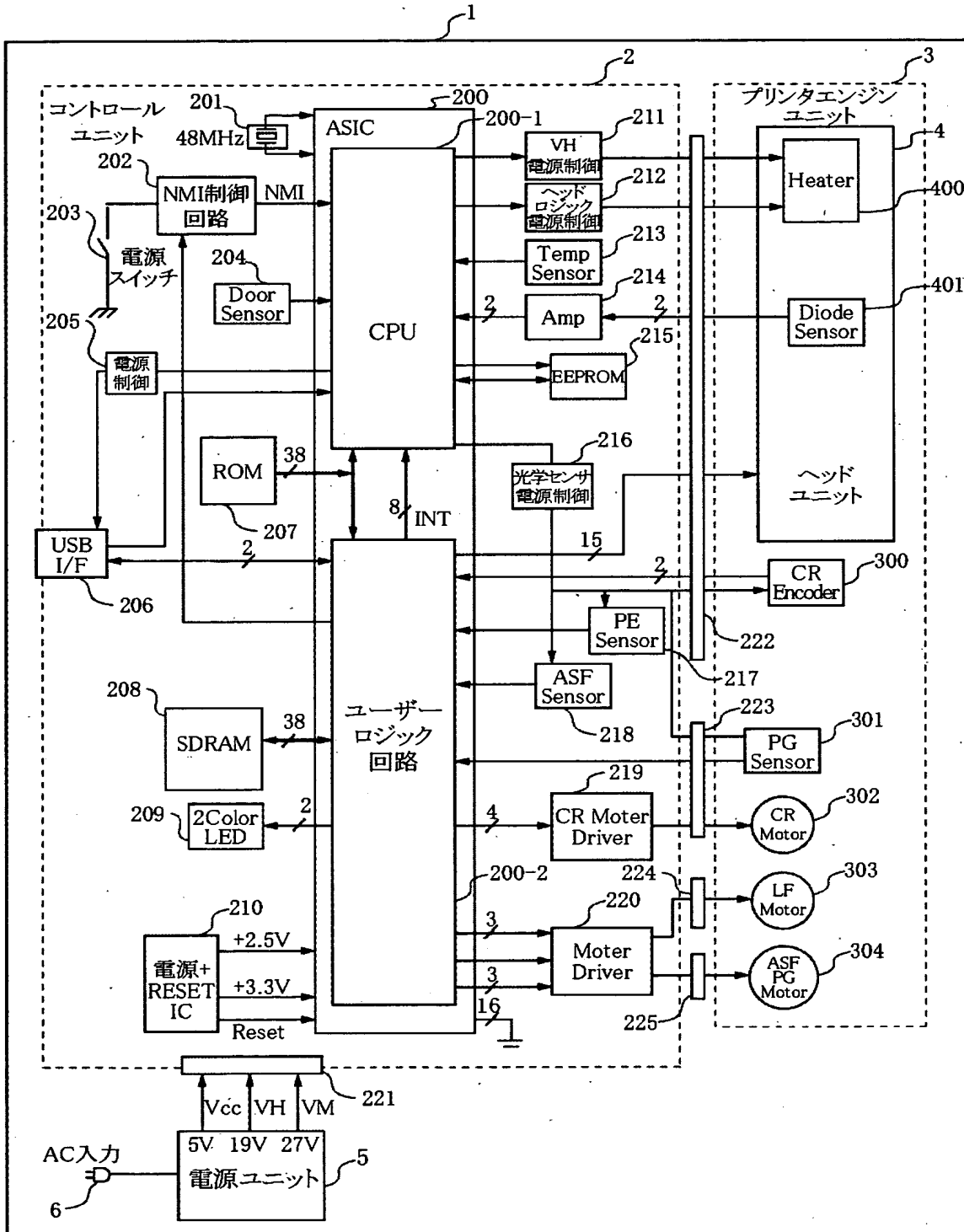
1114 キャリッジモーター

1118 フィードモーター

1119 ケーブル

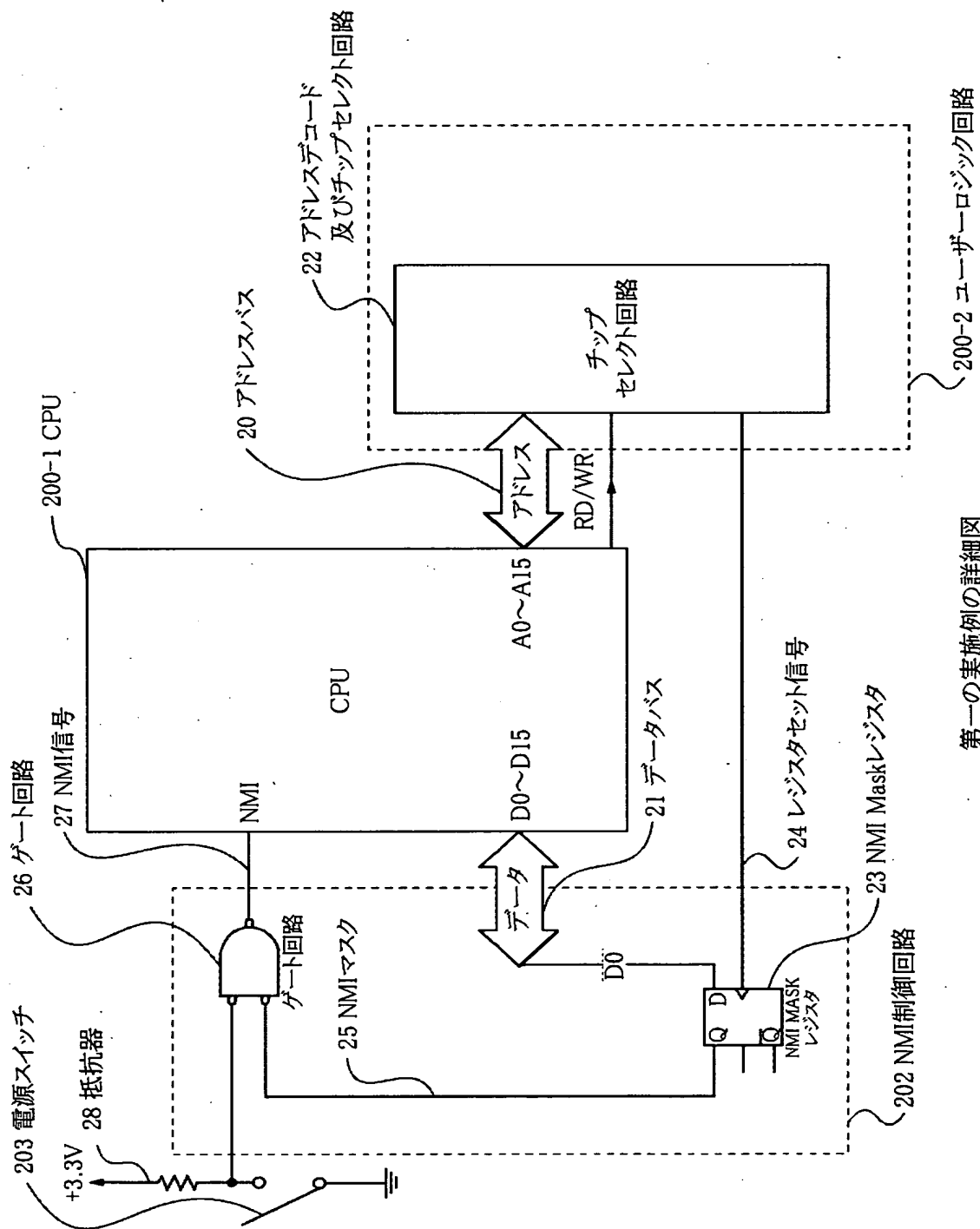
【書類名】 図面

【図 1】



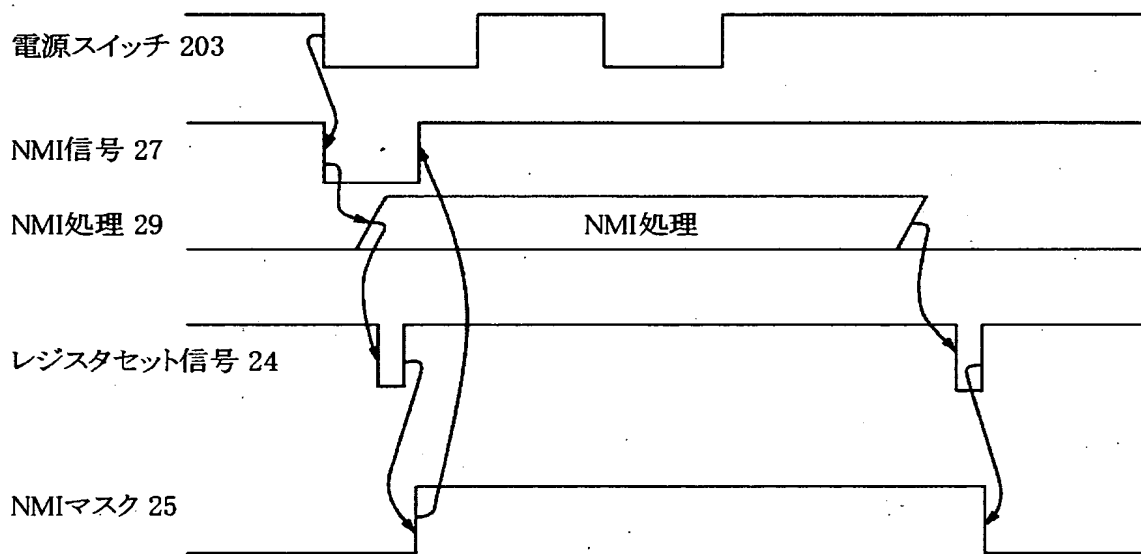
第一の実施例の全体ブロック図

【図 2】



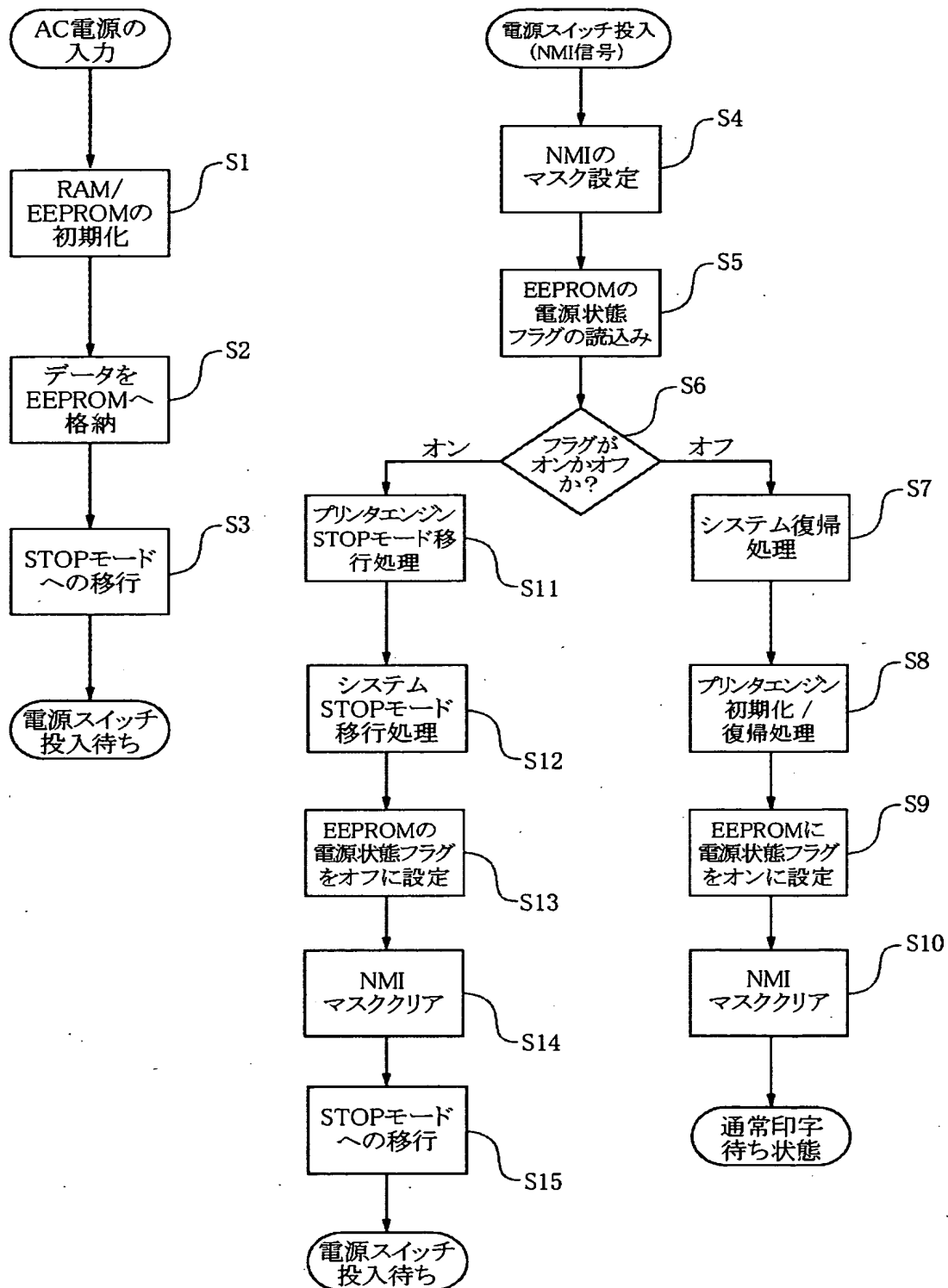
## 第一の実施例の詳細図

【図 3】



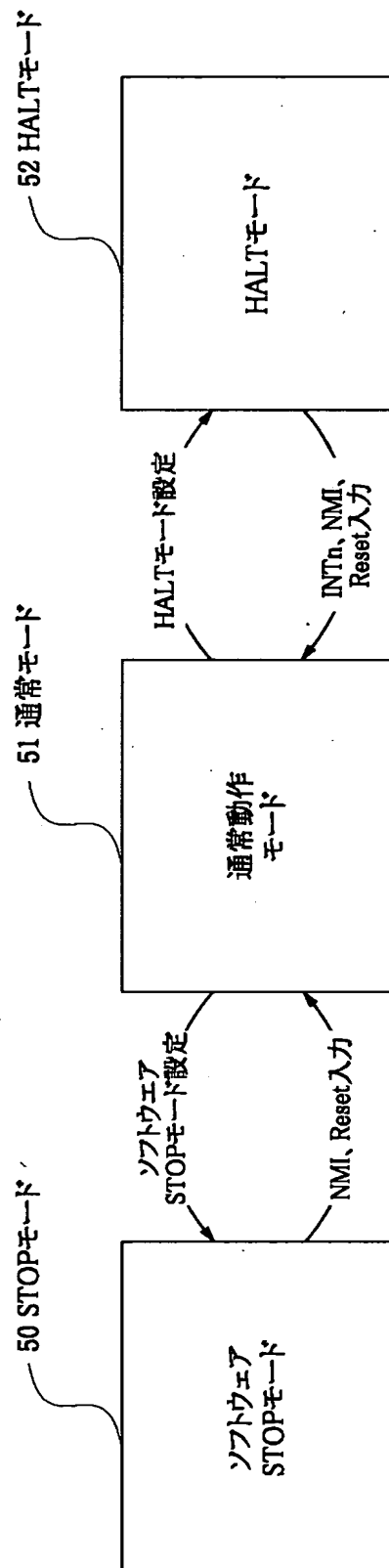
第一の実施例のNMI信号発生

【図4】



第一の実施例のNMIシーケンス

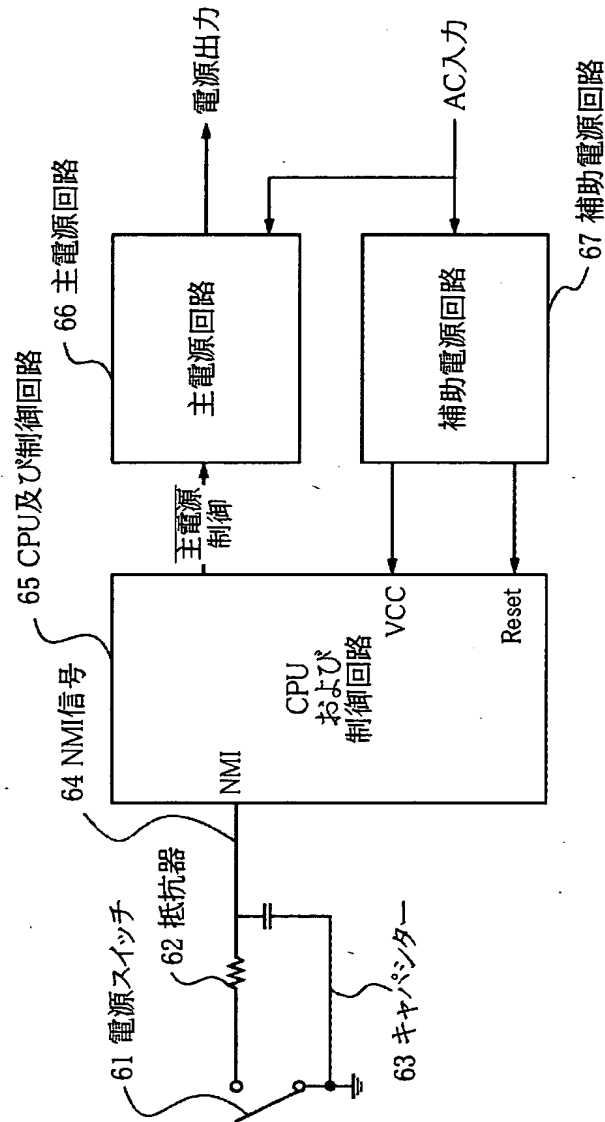
【図 5】



CPUのパワーセーブモード状態遷移図

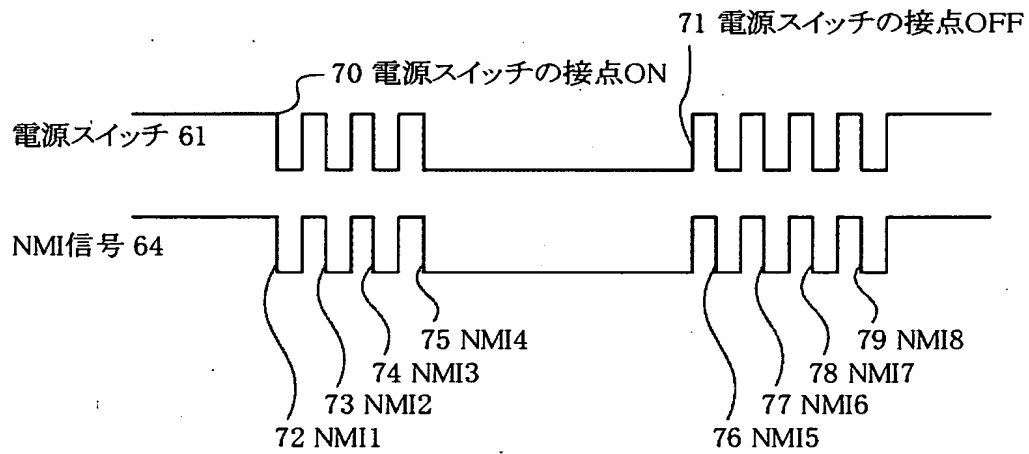


【図 6】



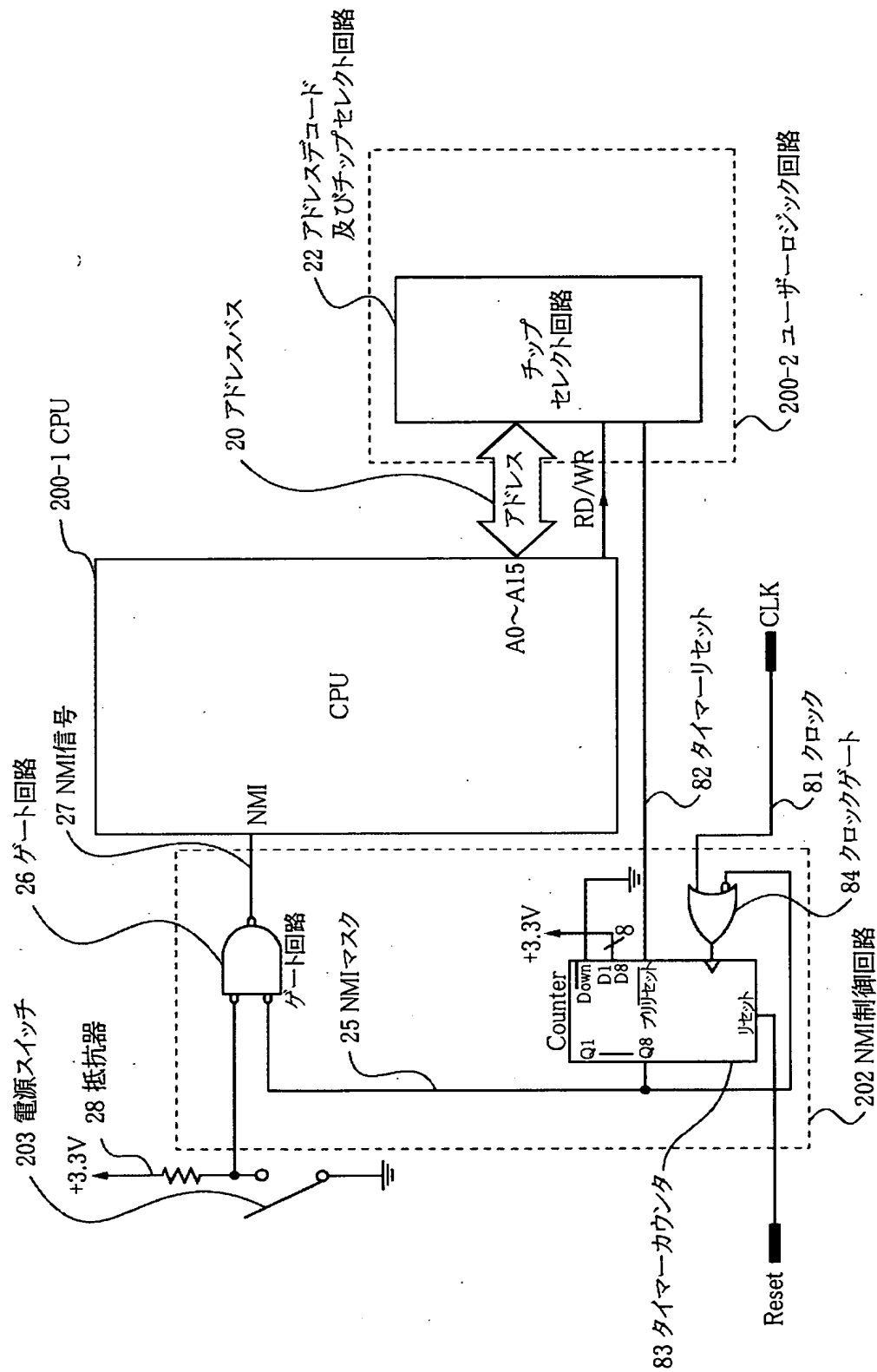
従来の実施例

【図 7】



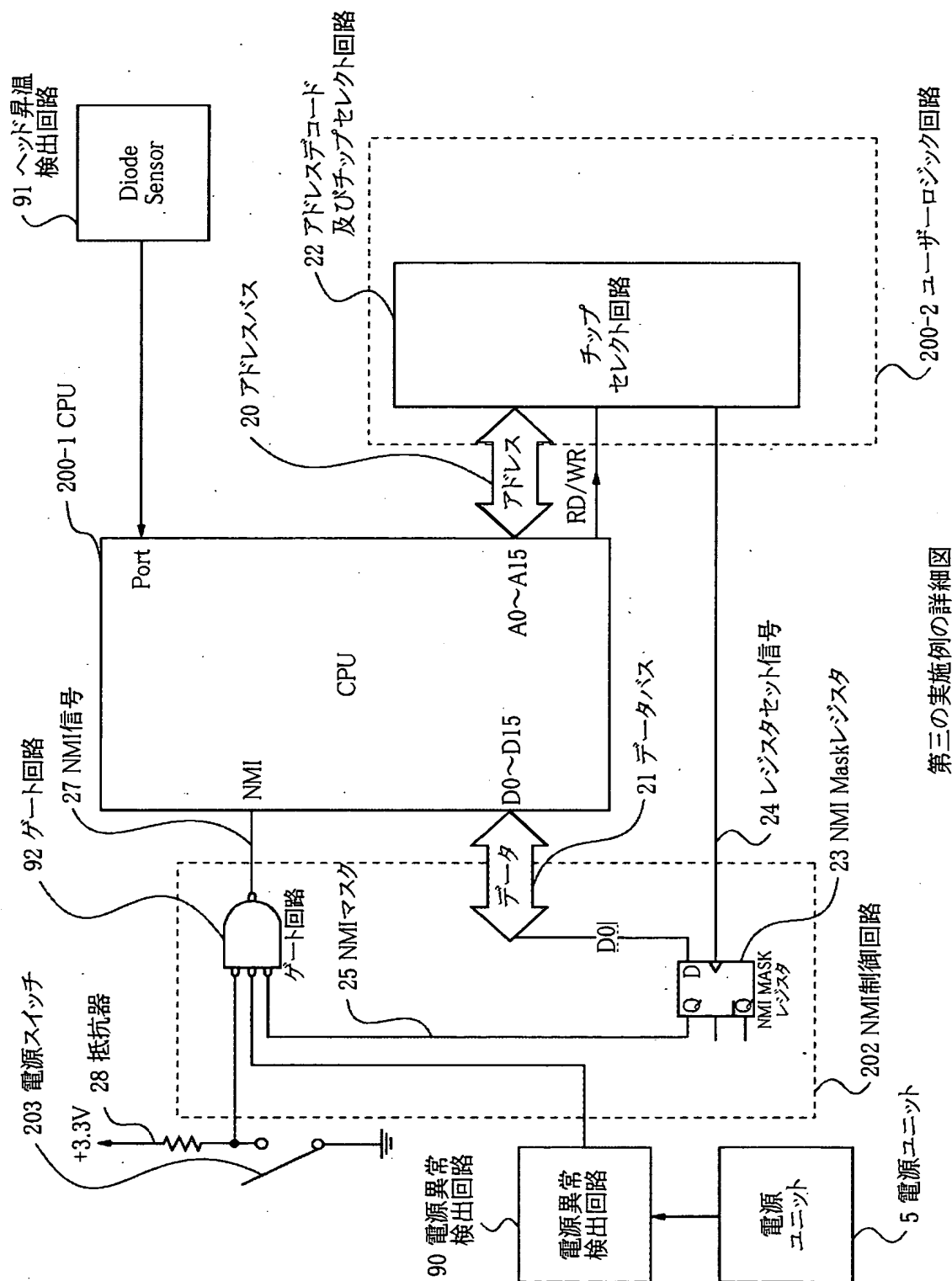
従来の実施例のNMI信号発生

【図 8】



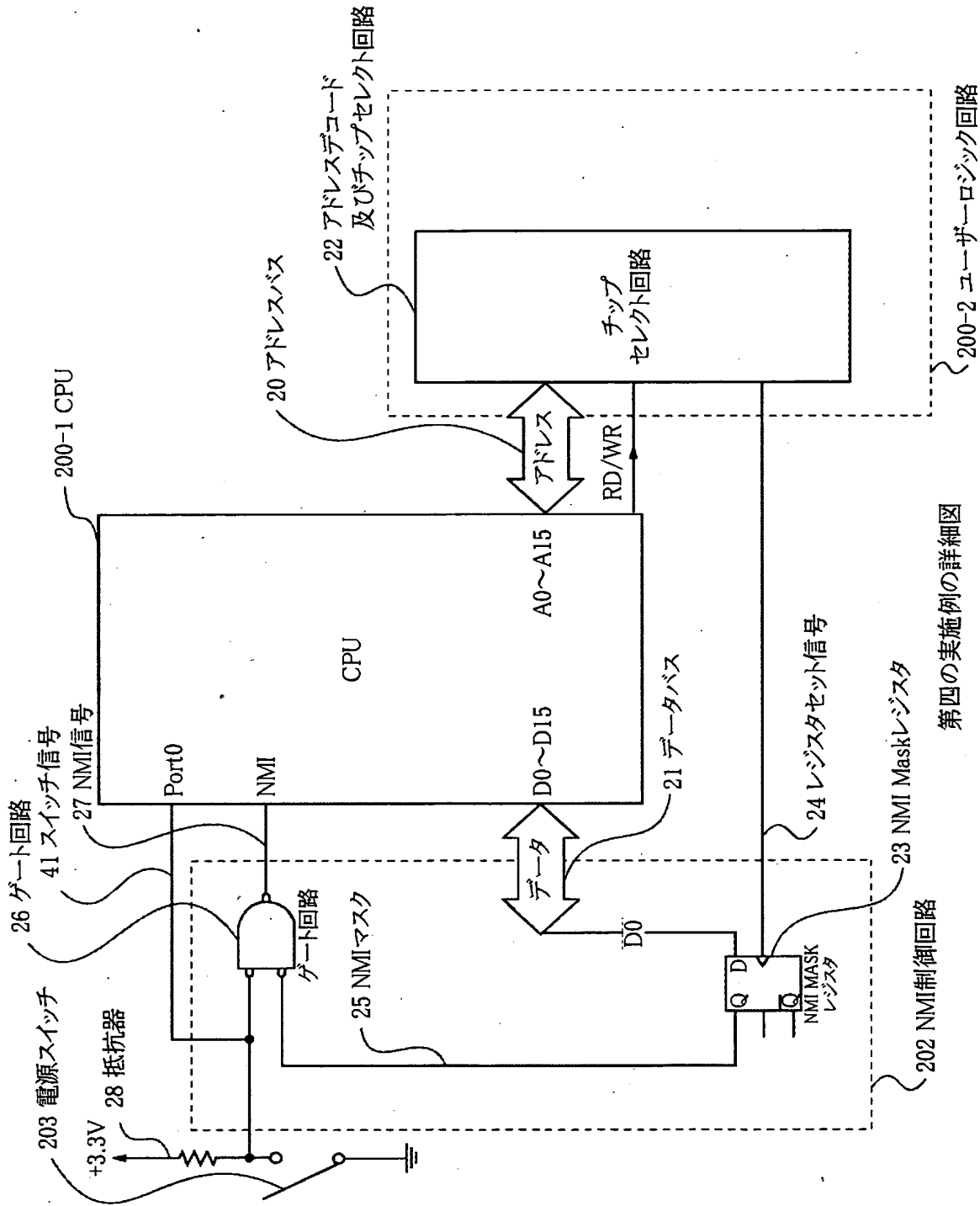
第二の実施例の詳細図

【図 9】



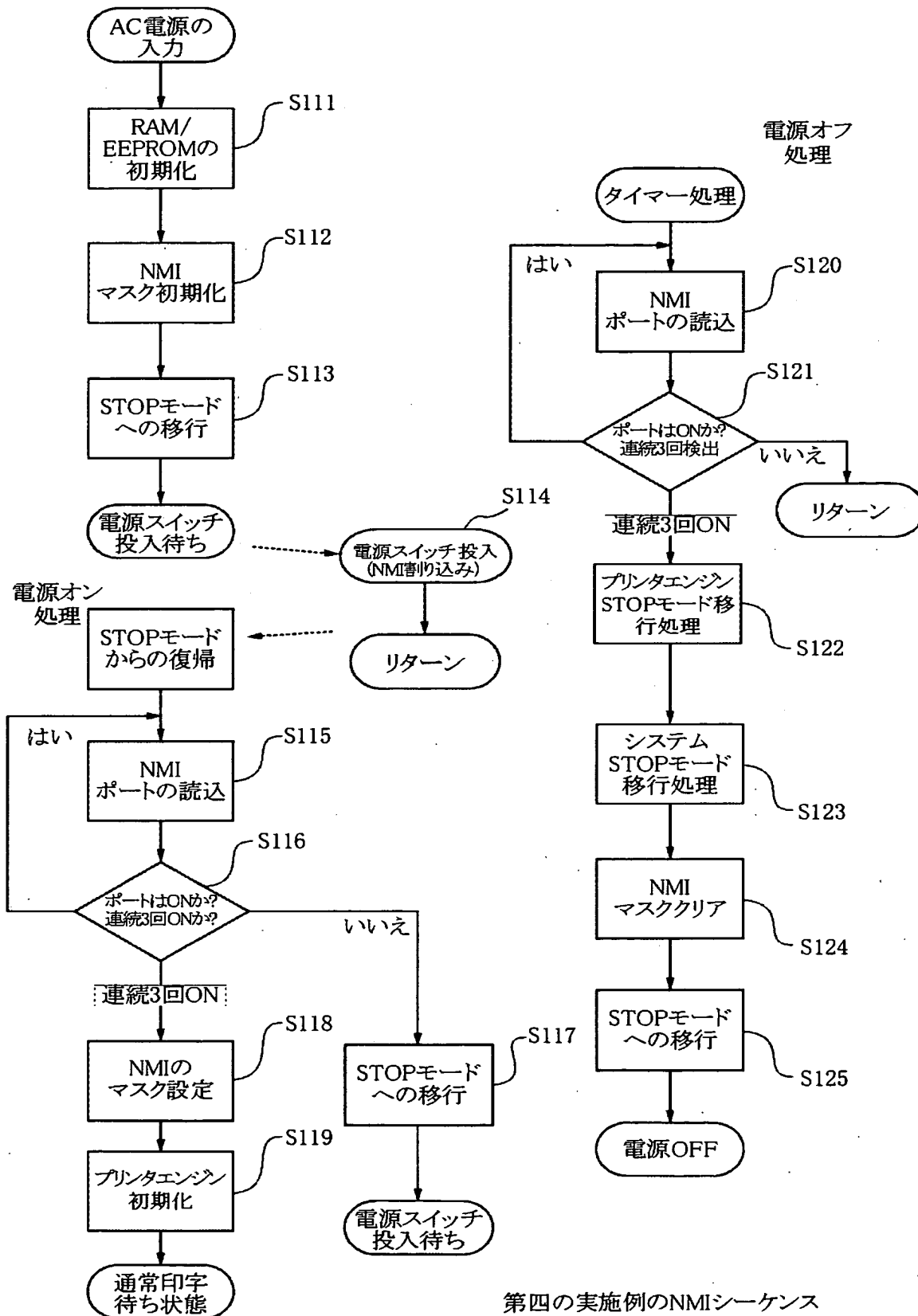
### 第三の実施例の詳細図

【図10】

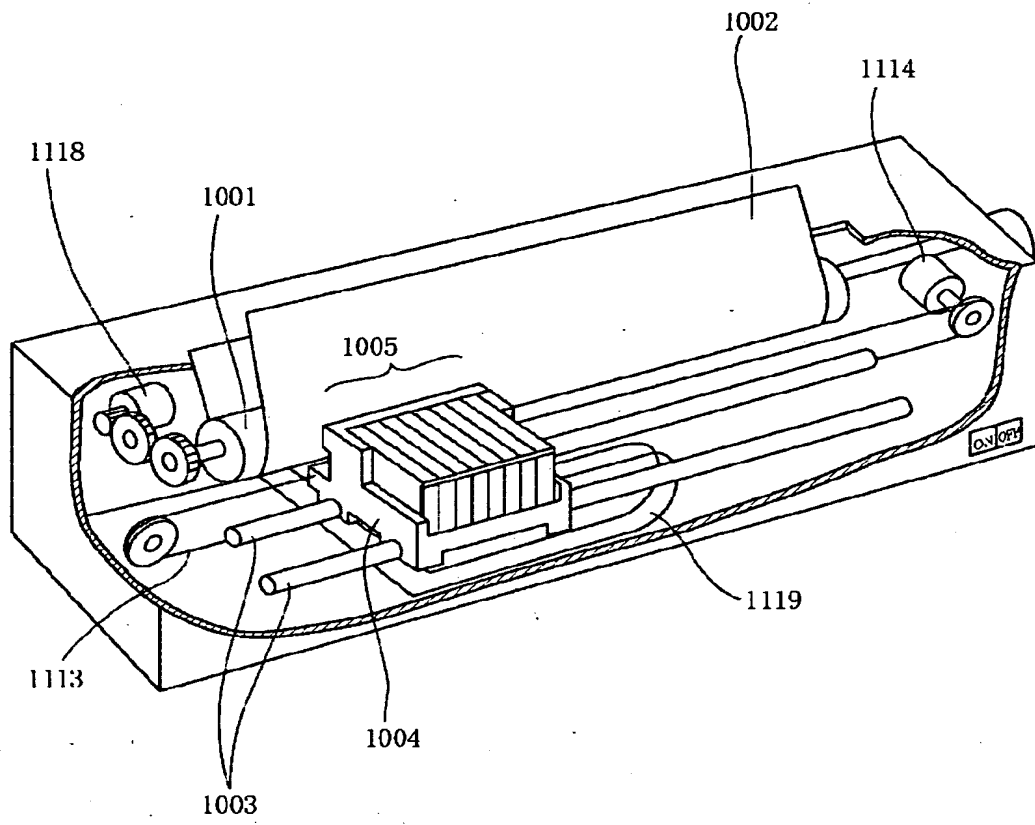


第四の実施例の詳細図

【図11】



【図 12】



【書類名】            要約書

【要約】

【課題】    消費電力を減らすためにCPUのSTOPモード機能を利用したコンピュータシステムにおいて、STOPモードからの復帰のトリガを電源スイッチにした場合、スイッチに発生するチャタリングのためNMI割り込みが多数発生し、コンピュータシステムの電源のオン／オフ処理が正常に行われなかった。

【解決手段】    電源スイッチ手段からの信号をNMI割り込み信号として受け取ってNMI割り込み処理をおこなうCPUを有するインクジェット記録装置において、

電源スイッチ手段からの信号の入力により実行されるNMI割り込み処理において、記録装置の状態によって動作が完了するまでNMI割り込みを禁止する制御手段を有する。

【選択図】            図 1



出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社